

Docket No.: HI-0192

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Dai Hyun KIM, Jeong Pil CHOI and Kyu Seon LEE

Serial No.: New U.S. Patent Application

Filed: March 11, 2004

Customer No.: 34610

For: DRIVING METHOD OF PLASMA DISPLAY PANEL

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 2003-0015175, filed March 11, 2003

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 766-3701

DYK:jml

Date: March 11, 2004

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0015175
Application Number

출 원 년 월 일 : 2003년 03월 11일
Date of Application MAR 11, 2003

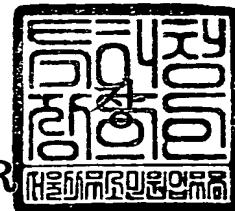
출 원 인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 03 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.03.11
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법
【발명의 영문명칭】	METHOD OF DRIVING PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	김대현
【성명의 영문표기】	KIM,Dai Hyun
【주민등록번호】	740409-1162821
【우편번호】	435-040
【주소】	경기도 군포시 산본동 가야아파트 501동 1406호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정필
【성명의 영문표기】	CHOI,Jeong Pil
【주민등록번호】	690211-1545918
【우편번호】	441-704
【주소】	경기도 수원시 권선구 금곡동 LG빌리지 305동 804호
【국적】	KR
【발명자】	
【성명의 국문표기】	이규선
【성명의 영문표기】	LEE,Kyu Seon
【주민등록번호】	710416-1390416

【우편번호】 130-774
【주소】 서울특별시 동대문구 제기1동 경동미주아파트 A동 1107호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
김영호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	15	면	15,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	16	항	621,000	원
【합계】	665,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 휘도를 향상 시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 수직동기신호 기간동안 n 번째 프레임 및 $n+1$ 번째 프레임에서 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 n 번째 프레임 및 $n+1$ 번째 프레임 중 적어도 어느 하나의 프레임 기간이 가변적으로 설정된다.

【대표도】

도 9

【명세서】

【발명의 명칭】

플라즈마 디스플레이 패널의 구동방법{METHOD OF DRIVING PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀를 나타내는 사시도.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도.

도 3은 평균화상레벨 제어방법을 나타내는 그래프이다.

도 4는 종래 방법에 따른 플라즈마 디스플레이 패널의 구동 파형을 나타내는 파형도이다.

도 5는 종래 방법에 따른 프레임을 배치하는 방식을 나타내는 도면이다.

도 6a 및 6b는 계조수를 증가시키기 위한 서스테인 펄스의 배치 비율을 나타내는 도면이다.

도 6c는 도 6a 및 6b가 교변되도록 배치시 수직 프레임 블랭크의 차이를 보여주는 도면이다.

도 7은 종래 기술에 따른 60Hz 모드로 구동되는 선택적 쓰기 및 소거방식 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 8은 도 7에 따른 선택적 쓰기 및 소거방식에서 계조를 표시하기 위한 서브필드 배치의 한 예를 나타내는 도면이다.

도 9는 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 10은 도 9에 따른 구동파형을 적용시 프레임간 수직 프레임 블랭크의 차이가 나지 않음을 보여주는 도면이다.

도 11a 및 11b는 본 발명에 따른 기간에서 벽전하의 변화가 없는 것을 보여주는 도면이다.

도 12는 APL에 따라 본 발명에 따른 기간의 변화를 보여주는 도면이다.

도 13은 본 발명의 제 2 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 14a는 본 발명 적용전의 한 프레임을 나타내고, 14b는 본 발명을 적용시 한 프레임을 나타내는 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 휘도를 향상 시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

<17> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은

He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생되는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

<18> 도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(12Y, 12Z)과, 투명전극(12Y, 12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(13Y, 13Z)을 포함한다.

<19> 투명전극(12Y, 12Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함)로 상부기판(10) 상에 형성된다. 금속버스전극(13Y, 13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y, 12Z) 상에 형성되어 저항이 높은 투명전극(12Y, 12Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기판(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 1자외선 및 가시광이 인접한 방전셀에 누설

되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(10,18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 $\text{He}+\text{Xe}$, $\text{Ne}+\text{Xe}$ 및 $\text{He}+\text{Ne}+\text{Xe}$ 등의 불활성 혼합가스가 주입된다.

<20> 이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 도 2에서처럼 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 및 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

<21> 이와같은 종래의 PDP는 소비전력을 일정하게 처리할 수 있도록 APL(Average Picture Level : 이하 "APL"이라함)에 따라 서스테인 펄스의 개수를 조절하여 이용되고 있다.

<22> 도 3은 APL의 제어방법을 나타내는 그래프이다.

<23> 도 3를 참조하면, PDP는 서스테인 펄스의 수에 따라 밝기가 결정되기 때문에 평균 밝기가 어두운 경우와 밝은 경우에 전체 서스테인의 수를 동일하게 하면, 화질저하, 전력소모, 패널 손상 등 여러가지 문제가 발생될 수 있다. 예컨데, 모든 입력 영상에 대하여 서스테인펄스의 수를 낮게 설정하는 경우에는 콘트라스트가 감소하게 된다. 또한, 모든 입력 영상에 대하

여 서스테인펄스의 수를 높게 설정하는 경우에는 어두운 영상에서도 밝기가 밝아지고 콘트라스트가 증가하는 장점이 있지만 파워의 소모가 커지며 패널의 온도가 상승하는 등 패널이 손상될 수 있다. 따라서, 입력 영상의 평균 밝기에 따라 전체 서스테인 펄스의 수를 적절히 조정할 필요가 있다. 여기서, 서스테인 펄스의 수는 도 3과 같이 APL의 레벨이 비교적 낮은 계조 범위에서 급격히 증가하고 고계조 범위에서 감소된다. 따라서, 상대적으로 낮은 계조 범위의 APL에서 서스테인 펄스 수가 급격히 변하게 된다.

<24> 도 4는 종래 방법에 따른 PDP의 구동방법을 나타내는 파형도이다.

<25> 도 4를 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)으로 나뉘어 구동된다.

<26> 리셋기간(RPD)에는 스캔전극(Y)에 리셋펄스(RP)가 공급된다. 리셋펄스(RP)는 램프파 형태로 셋업(Set-up)기간에 전압이 증가하고 셋다운(Set-down)기간에는 전압이 감소하는 형태를 가진다. 전압이 서서히 증가하는 셋업(Set-up)기간에는 다수의 미세한 셋업방전이 발생되어 상부 유전층에 벽전하가 형성된다. 이어서, 전압이 서서히 감소하는 셋다운(Set-down)기간에는 다수의 미세한 셋다운방전에 의해 불요의 하전입자들이 부분적으로 소거되어 벽전하가 오방전을 일으키지 않으면서 다음의 어드레스방전에 도움을 줄 정도로 감소하게 된다. 셋다운(Set-down)기간동안 서스테인전극(Z)에는 정극성(+)의 직류전압이 공급된다. 이 정극성(+)의 직류전압에 대하여 리셋펄스(RP)는 서서히 감소하는 형태로 공급되므로 셋다운(Set-down) 시 스캔전극(Y)이 서스테인전극(Z)에 대하여 상대적인 부극성(−)이 됨으로써, 즉 극성이 반전됨으로써 셋업(Set-up)시 생성된 벽전하들이 감소하게 된다.

<27> 어드레스 기간(APD)에는 스캔전극(Y)에 부극성(−)의 스캔전압(Vy)을 가지는 스캔펄스(SP)가 공급됨과 아울러 동시에 어드레스전극(X)에 정극성(+)의 데이터펄스(DP)가 공급됨으로

써 어드레스방전이 발생하게 된다. 이 어드레스방전으로 형성된 벽전하는 다른 방전셀들이 어드레스되는 기간동안 유지된다.

<28> 서스테인 기간(SPD)에는 시작부에서 스캔전극(Y)에 트리거링펄스(TP)를 공급하여 어드레스기간(APD)에서 충분히 벽전하가 형성된 방전셀들에서 서스테인방전이 개시되게 한다. 이어서, 서스테인전극(Z)과 스캔전극(Y)에 교번적으로 서스테인전압(Vs)에 해당하는 서스테인펄스(SUSPz, SUSPy)를 공급하여 서스테인기간(SPD) 동안 서스테인방전이 유지되게 한다.

<29> 이러한 서스테인 기간(SPD)에 이은 소거기간(EPD)에서는 서스테인전극(Z)에 소거펄스(EP)를 공급하여 유지되던 방전이 중지되게 한다. 소거펄스(EP)는 발광크기가 작게끔 램프파형태를 가지거나 방전 소거를 위해 $1\mu\text{s}$ 정도의 짧은 펄스폭을 가지게 된다. 이러한 소거펄스(EP)에 의한 짧은 소거방전으로 하전입자들이 소거되어 방전이 중지된다.

<30> 한편, 종래에는 한 프레임 내에서 각 서브필드의 리셋기간(RPD) 및 어드레스 기간(APD) 각 서브필드마다 동일한 반면에 서스테인기간(SPD)은 각 서브필드에서 2^n (n=0,1,2,3,4,5,6,7)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인기간(SPD)이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다. 그러나, 이러한 프레임들이 도 5처럼 수직 동기 신호마다 동일하게 배치되기 때문에 계조표현에 한계가 있다.

<31> 따라서, 이러한 한계를 극복하기 위해서 도 6a 및 6b와 같이 수직 동기 신호마다 2개의 서스테인 펄스를 교번되도록 배치하는 것이 제안되었다. 예를들어, 짹수 프레임(또는 홀수 프레임)에는 도 6a와 같이 1, 6, 13, 23, 35, 51, 70, 91, 116, 145, 176, 211의 비율로 서스테인 펄스를 배치하고, 홀수 프레임(또는 짹수 프레임)에는 도 6b와 같이 4, 9, 18, 29, 43, 60, 80, 103, 130, 160, 193, 109의 비율로 서스테인 펄스를 배치한다. 이와 같이 서스테인 펄스비가 다른 짹수 프레임과 홀수 프레임을 수직 동기 신호(Vsync)에 마다 교번하여 사용할 경우

계조 표현력이 한 개의 서스테인 펄스 비를 사용하는 프레임을 배치하는 경우보다 2배가 증가 할 수 있다. 이 때, 서브필드의 휘도가중치는 프레임마다 서로 엇갈리도록 설정되어야 한다. 하지만, 이와같이 프레임마다 휘도가중치가 엇갈리게 배치되면 광중심이 불일치가 발생되고, 눈에 거슬릴 정도로 플리커가 발생하여 화질이 저하되는 문제점이 있다.

<32> 이를 자세히 설명하면, 서스테인 펄스의 비가 다른 두 개의 프레임을 엇갈려서 배치할 경우 도 6c에서처럼 제 n 번째 프레임(n)과 제 n+1 번째 프레임(n+1)간의 수직 프레임 블랭크(Vertical Frame Blank, 이하 "VFB"라 함)기간은 T1이 되고, 제 n+1 번째 프레임(n+1)과 제 n+2 번째 프레임(n+2)간의 수직 프레임 블랭크(VFB)기간은 T1보다 긴 T2가 된다. 이어지는 프레임들은 이런식으로 엇갈려서 배치된다. 이 때, T1과 T2가 서로 다르기 때문에 광중심이 불일치하게 된다. 따라서, 눈에 거슬릴 정도로 플리커가 발생하여 화질이 저하되게 된다.

<33> 도 7은 종래 기술에 따른 60Hz 모드로 구동되는 선택적 쓰기 및 소거방식 PDP의 구동방법을 나타내는 과정도이다.

<34> 도 7을 참조하면, 선택적 쓰기 서브필드의 리셋기간(RPD)동안 스캔전극라인들(Y)에는 셋업(Set-up)과의 리셋펄스(RP)에 이어서 셋다운(Set-down) 과의 램프펄스(-RP)가 순차적으로 공급된다. 이 셋다운(Set-down)의 램프펄스(-RP)는 부극성(-)의 스캔기준전압(Vw)까지 하강한다. 또한, 서스테인전극라인들(Z)에는 정극성(+)의 직류전압이 공급된다.

<35> 선택적 쓰기 서브필드의 어드레스 기간(APD)동안 서스테인전극라인들(Z)에 정극성(+)의 직류전압이 공급되는 동안에 스캔전극라인들(Y)과 어드레스전극라인들(X) 각각에 부극성(-)의 선택적 쓰기 스캔펄스(SWSP)와

정극성(+)의 선택적 쓰기 데이터 펄스(SWDP)가 상호 동기되게끔 공급된다. 선택적 쓰기 서브필드의 어드레스 방전에 의해 켜진 셀에 대하여 서스테인 방전이 일어나도록 서스테인펄스(SUSPy, SUSPz)가 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 공급된다.

<36> 선택적 소거 서브필드의 리셋기간(RPD)은 생략된다. 선택적 소거 서브필드의 어드레스 기간(APD)에는 스캔전극라인들(Y)과 어드레스전극라인들(X) 각각에 셀을 끄기 위한 부극성(-)의 선택적 소거 스캔펄스(SESP)와 정극성(+)의 선택적 소거 데이터 펄스(SEDp)가 상호 동기되게끔 공급된다. 이 선택적 소거 스캔펄스(SESP)는 부극성(-)의 스캔기준전압(Vw)보다 높은 부극성(-)의 선택적 소거용 스캔전압(Ve)까지 하강한다. 선택적 소거 서브필드(ESF)의 어드레스 방전에 의해 꺼지지 않은 셀들에 대하여 서스테인 방전이 일어나도록 서스테인펄스(SUSPy, SUSPz)가 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 공급된다. 이어지는 다음 서브필드가 선택적 소거필드인 경우에 현재의 선택적 소거 서브필드의 종료시점에는 비교적 펄스폭이 큰 서스테인펄스(SUSPy)가 스캔전극라인들(Y)에 공급된다. 그리고 다음 서브필드가 선택적 쓰기 서브필드인 마지막 선택적 소거 서브필드에는 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 소거펄스(도시하지 않음)와 램프신호(도시하지 않음)가 공급되어 켜진 셀들의 서스테인 방전을 소거시킨다.

<37> 도 8은 도 7에 따른 선택적 쓰기 및 소거방식에서 계조를 표시하기 위한 서브필드 배치의 한 예를 나타내는 도면이다.

<38> 도 8을 참조하면, 계조를 표시하기 위해서 저계조에서 첫 번째 32 계조까지의 서브 필드는 선택적 쓰기방식으로 어드레스를 하여 표시하고, 나머지 서브 필드는 선택적 소거방식으로 어드레스를 하여 표시한다. 이 때, 이러한 선택적 쓰기 및 소거방식을 50Hz 구동을 할 경우, 60Hz 구동에 비해 상대적으로 수직 프레임 블랭크(VFB) 기간이 증가(즉, VFB*(60Hz 구동시 수

직 프레임 블랭크 기간) < VFB** (50Hz 구동시 수직 프레임 블랭크 기간)) 되는 현상때문에 플리커가 발생하게 된다. 이러한 플리커는 화질에 있어서 장애가 된다. 이를 자세히 설명하면, 화상을 표시하고자 하는 경우에 한국, 미국등은 60Hz 모드 즉, 1/60 초에 해당하는 프레임 기간(16.67ms)을 갖는다. 그러나, 유럽, 중국등은 50Hz 모드 즉, 1/50 초에 해당하는 프레임 기간(20ms)을 갖는다. 이 때, 한 프레임 기간이 60Hz일 경우 수직 프레임 블랭크(VFB) 기간은 VFB* 이지만, 60Hz 모드의 신호가 50Hz 모드에 적용되는 경우 수직 프레임 블랭크(VFB) 기간은 60Hz일 경우보다 긴 VFB**이 된다. 따라서, 60Hz 모드의 수직 프레임 블랭크(VFB*) 기간은 짧고, 50Hz 모드의 수직 프레임 블랭크(VFB**) 기간은 길기 때문에 60Hz 모드의 프레임을 50Hz 모드에 적용하는 경우 수직 프레임 블랭크(VFB) 기간이 증가되어 광중심이 일치하지 않는 현상 때문에 플리커가 발생되어 휙도가 저하되는 문제점이 발생된다.

【발명이 이루고자 하는 기술적 과제】

<39> 따라서, 본 발명의 목적은 휙도를 향상 시킬 수 있도록 한 플라즈마 디스플레이 패널의 구동방법을 제공함에 있다.

【발명의 구성 및 작용】

<40> 상기 목적을 달성하기 위하여, 본 발명의 제 1 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 수직동기신호 기간동안 n번째 프레임 및 n+1번째 프레임에서 휙도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 n번째 프레임 및 n+1번째 프레임 중 적어도 어느 하나의 프레임 기간이 가변적으로 설정되는 것을 특징으로 한다.

<41> 상기 n번째 프레임 및 n+1번째 프레임은 각각 방전셀에 균일한 벽전하를 형성시키기 위한 초기화기간과, 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과, 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함하는 것을 특징으로 한다.

<42> 상기 n번째 프레임 및 n+1번째 프레임 중 적어도 하나의 프레임은, 어드레스 기간과 서스테인 기간 사이에 위치되어 상기 어드레스 기간에 형성된 벽전하가 유지하는 제 1 기간과, 서스테인 기간과 다음 서브필드의 사이에 위치되어 상기 서스테인 기간에 형성된 벽전하가 유지되는 제 2 기간을 포함하는 것을 특징으로 한다.

<43> 상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간 중 어느 한 기간이 가변적으로 변화되는 것을 특징으로 한다.

<44> 상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간이 가변적으로 변화되는 것을 특징으로 한다.

<45> 상기 제 1 및 제 2 기간은 에이피엘(APL)에 따라 상이하게 되는 것을 특징으로 한다.

<46> 상기 에이피엘(APL)이 낮으면 상기 제 1 및 제 2 기간이 짧아지게 되는 것을 특징으로 한다.

<47> 상기 에이피엘(APL)이 높으면 상기 제 1 및 제 2 기간이 길어지게 되는 것을 특징으로 한다.

<48> 본 발명의 제 2 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 수직동기신호 기간동안 상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임에서 휘도가 표현

되는 기간이 동일하게 설정될 수 있도록 상기 60Hz 모드 및 50Hz 모드 중 적어도 어느 하나의 프레임 기간이 가변적으로 설정되는 것을 특징으로 한다.

- <49> 상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임은 각각
- <50> 방전셀에 균일한 벽전하를 형성시키기 위한 초기화기간과, 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과, 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함하는 것을 특징으로 한다.
- <51> 상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임 중 적어도 하나의 프레임은, 어드레스 기간과 서스테인 기간 사이에 위치되어 상기 어드레스 기간에 형성된 벽전하가 유지하는 제 1 기간과, 서스테인 기간과 다음 서브필드의 사이에 위치되어 상기 서스테인 기간에 형성된 벽전하가 유지되는 제 2 기간을 포함하는 것을 특징으로 한다.
- <52> 상기 회도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간 중 어느 한 기간이 가변적으로 변화되는 것을 특징으로 한다.
- <53> 상기 회도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간이 가변적으로 변화되는 것을 특징으로 한다.
- <54> 상기 제 1 및 제 2 기간은 에이피엘(APL)에 따라 상이하게 되는 것을 특징으로 한다.
- <55> 상기 에이피엘(APL)이 낮으면 상기 제 1 및 제 2 기간이 짧아지게 되는 것을 특징으로 한다.
- <56> 상기 에이피엘(APL)이 높으면 상기 제 1 및 제 2 기간이 길어지게 되는 것을 특징으로 한다.

<57> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조함 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<58> 이하, 도 9 내지 도 14를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<59> 도 9는 본 발명의 제 1 실시 예에 따른 PDP의 구동방법을 나타내는 파형도이다.

<60> 이 때, 본 발명의 제 1 실시 예에 따른 PDP는 계조표현을 증가시키기 위하여 수직 동기 신호마다 2개의 서스테인 펄스가 교번되도록 배치된다.

<61> 도 9을 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)으로 나뉘어 구동된다.

<62> 리셋기간(RPD)에는 스캔전극(Y)에 리셋펄스(RP)가 공급된다. 리셋펄스(RP)는 램프파형태로 셋업(Set-up)기간에 전압이 증가하고 셋다운(Set-down)기간에는 전압이 감소하는 형태를 가진다. 전압이 서서히 증가하는 셋업(Set-up)기간에는 다수의 미세한 셋업방전이 발생되어 상부 유전층에 벽전하가 형성된다. 이어서, 전압이 서서히 감소하는 셋다운(Set-down)기간에는 다수의 미세한 셋다운방전에 의해 불요의 하전입자들이 부분적으로 소거되어 벽전하가 오방전을 일으키지 않으면서 다음의 어드레스방전에 도움을 줄 정도로 감소하게 된다. 이 때, 셋다운(Set-down)기간동안 서스테인전극(Z)에는 정극성(+)의 직류전압이 공급된다. 이 정극성(+)의 직류전압에 대하여 리셋펄스(RP)는 서서히 감소하는 형태로 공급되므로 셋다운(Set-down) 시 스캔전극(Y)이 서스테인전극(Z)에 대하여 상대적인 부극성(-)이 됨으로써, 즉극성이 반전됨으로써 셋업(Set-up)시 생성된 벽전하들이 감소하게 된다.

<63> 어드레스 기간(APD)에는 스캔전극(Y)에 부극성(-)의 스캔전압(Vy)을 가지는 스캔펄스(SP)가 공급됨과 아울러 동시에 어드레스전극(X)에 정극성(+)의 데이터펄스(DP)가 공급됨으로써 어드레스방전이 발생하게 된다. 이 어드레스방전으로 형성된 벽전하는 다른 방전셀들이 어드레스되는 기간동안 유지된다. 이 때, 마지막 스캔펄스(SP)가 인가된 후 스캔전압(Vsc)이 계속 유지되는 기간인 도 9의 제 1 기간(n1)을 APL에 따라 가변적으로 변화시킨다. 이렇게 하면, 계조수를 증가시키기 위해서 서스테인 펄스의 비가 다른 두 개의 프레임을 엇갈려서 배치할 경우 광중심이 일치하지 않아 발생되는 플리커가 제거된다. 즉, 광중심을 일치시키기 위하여 APL에 따라 제 1 기간(n1)을 가변적으로 변화시킴으로써 플리커가 제거되어 휘도가 향상된다.

<64> 이를 자세히 설명하면, 어드레스 기간(APD)동안 APL이 낮으면 마지막 스캔펄스(SP)가 인가된 후 스캔전압(Vsc)이 계속 유지되는 기간(n1)을 짧게하고, APL의 레벨이 높으면 이 기간(n1)을 길게한다. 다시 말해서, APL이 낮으면 서스테인 펄스가 많이 발생되기 때문에 이 기간(n1)을 짧게하고, APL이 높으면 서스테인 펄스가 적게 발생되기 때문에 이 기간(n1)을 길게 한다. 이렇게 마지막 스캔펄스(SP)가 인가된 후 스캔전압(Vsc)이 계속 유지되는 기간(n1)을 도 12에서처럼 APL에 따라 가변적으로 변화시킴으로써 각 서브필드의 어드레스기간(APD)이 늘어나게 되어 도 10처럼 프레임간의 수직 프레임 블랭크(VFB) 기간의 간격이 일정하게 유지된다. 즉, 각 서브필드의 어드레스 기간(APD)을 변화시킴으로써 도 10에서처럼 제 n 번째 프레임과 제 n+1 번째 프레임의 휘도가 표현되는 기간은 동일하게 설정된다. 따라서, 광중심이 일치하게 되어 플리커가 제거되므로 휘도가 향상된다. 이 때, 도 9의 제 1 기간(n1)은 $100\mu\text{s}$ 의 기간을 유지해도 도 11a처럼 벽전하의 변화는 없는 특징을 가진다.

<65> 서스테인 기간(SPD)에는 시작부에서 스캔전극(Y)에 트리거링펄스(TP)를 공급하여 어드레스기간(APD)에서 충분히 벽전하가 형성된 방전셀들에서 서스테인방전이 개시되게 한다. 이어서, 서스테인전극(Z)과 스캔전극(Y)에 교번적으로 서스테인전압(Vs)에 해당하는 서스테인펄스(SUSPz, SUSPy)를 공급하여 서스테인기간(SPD) 동안 서스테인방전이 유지되게 한다. 이 때, 서스테인 기간(SPD)동안 마지막 서스테인 펄스가가 공급된 후 다음 서브필드가 시작하기 전 까지의 기간인 도 9의 제 2 기간(n2)을 APL에 따라 가변적으로 변화시킨다. 이렇게 하면, 계조수를 증가시키기 위해서 서스테인 펄스의 비가 다른 두 개의 프레임을 엇갈려서 배치할 경우 광중심이 일치하지 않아 발생되는 플리커가 제거된다. 즉, 광중심을 일치시키기 위하여 APL에 따라 제 2 기간(n2)을 가변적으로 변화시킴으로써 플리커가 제거되어 휘도가 향상된다.

<66> 이를 자세히 설명하면, 서스테인 기간(SPD)동안 APL이 낮으면 마지막 서스테인 펄스가 공급된 후 다음 서브필드가 시작하기 전 까지의 기간(n2)을 짧게하고, APL이 높으면 이 기간(n2)을 길게한다. 다시 말해서, APL이 낮으면 서스테인 펄스가 많이 발생되기 때문에 이 기간(n2)을 짧게하고, APL이 높으면 서스테인 펄스가 적게 발생되기 때문에 이 기간(n2)을 길게한다. 이렇게 마지막 서스테인 펄스가 공급된 후 다음 서브필드가 시작하기 전 까지의 기간(n2)을 도 12에서처럼 APL에 따라 가변적으로 변화시킴으로써 도 10처럼 프레임간의 수직 프레임블랭크(VFB) 기간의 간격이 일정하게 유지되어 광중심이 일치된다. 즉, 각 서브필드의 서스테인 기간(SPD)을 변화시킴으로써 도 10에서처럼 제 n 번째 프레임과 제 n+1 번째 프레임의 휘도가 표현되는 기간은 동일하게 설정된다. 따라서, 플리커가 제거되므로 휘도가 향상된다. 이 때, 도 9의 제 2 기간(n2)은 $100\mu\text{s}$ 의 기간을 유지해도 도 11b처럼 벽전하의 변화는 없는 특징을 가진다

<67> 이 때, 제 1 기간(n1) 또는 제 2 기간(n2) 중 어느 한 기간을 가변적으로 변화시켜서 광 중심을 일치시킬 수 있고, 또한 두 기간(n1,n2)을 모두 가변적으로 변화시켜서 광중심을 일치 시킬 수 있다.

<68> 도 13은 본 발명의 제 2 실시 예에 따른 선택적 쓰기 및 소거방식 PDP의 구동방법을 나타내는 파형도이다.

<69> 도 13를 참조하면, 선택적 쓰기 서브필드의 리셋기간(RPD)동안 스캔전극라인들(Y)에는 셋업(Set-up)파형의 리셋펄스(RP)에 이어서 셋다운(Set-down) 파형의 램프펄스(-RP)가 순차적으로 공급된다. 이 셋다운(Set-down)의 램프펄스(-RP)는 부극성(-)의 스캔기준전압(V_w)까지 하강한다. 또한, 서스테인전극라인들(Z)에는 정극성(+)의 직류전압이 공급된다.

<70> 선택적 쓰기 서브필드의 어드레스 기간(APD)동안 서스테인전극라인들(Z)에 정극성(+)의 직류전압이 공급되는 동안에 스캔전극라인들(Y)과 어드레스전극라인들(X) 각각에 부극성(-)의 선택적 쓰기 스캔펄스(SWSP)와 정극성(+)의 선택적 쓰기 데이터 펄스(SWDP)가 상호 동기되게끔 공급된다. 이 때, 어드레스 기간(APD)동안 마지막 스캔펄스(SWSP)가 인가된 후 스캔전압(V_{sc})이 계속 유지되는 기간인 도 13의 제 1 기간(n11)을 APL에 따라 가변적으로 변화시킨다. 이렇게 하면, 60Hz 모드가 50Hz 모드로 적용될 경우 광중심이 일치하지 않아 발생되는 플리커가 제거된다. 즉, 광중심을 일치시키기 위하여 APL에 따라 제 1 기간(n11)을 가변적으로 변화시킴으로써 플리커가 제거되어 휙도가 향상된다.

<71> 이를 자세히 설명하면, 60Hz 모드를 50Hz 모드에 적용하는 경우 플리커가 발생되어 휙도가 저하되는 문제점을 해결하기 위하여 어드레스 기간(APD)동안 마지막 스캔펄스(SWSP)가 인가된 후 스캔전압(V_{sc})이 계속 유지되는 기간인 도 13의 제 1 기간(n11)을 APL에 따라 가변적으로 변화시킴으로써 각 서브필드의 어드레스 기간(APD)을 늘려서 도 14a처럼 긴 수직 프레임 블

랭크(VFB*) 기간을 도 14b처럼 짧은 수직 프레임 블랭크(VFB\$) 기간으로 줄인다. 즉, 각 서브필드의 어드레스 기간(APD)을 변화시킴으로써 도 14b에서처럼 휘도가 표현되는 기간은 동일하게 설정된다. 이렇게 하면, 60Hz 모드가 50Hz 모드에 적용되는 경우 광중심이 일치하게 되어 플리커를 제거시킬 수 있으므로 휘도를 향상 시킬 수 있다. 여기서, 제 1 기간(n11)은 도 12에 나타난 바와같이 APL에 따라 유지되는 기간이 달라지게 된다.

<72> 선택적 쓰기 서브필드의 어드레스 방전에 의해 켜진 셀에 대하여 서스테인 방전이 일어나도록 서스테인펄스(SUSPy, SUSPz)가 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교변적으로 공급된다. 이 때, 서스테인 기간(SPD)동안 마지막 서스테인 펄스(SUSPy)가 공급된 후 다음 서브필드가 시작되기 전까지의 기간인 도 13의 제 2 기간(n12)을 APL에 따라 가변적으로 변화시킴으로써 각 서브필드의 서스테인 기간(SPD)을 늘려서 도 14a처럼 긴 수직 프레임 블랭크(VFB*) 기간을 도 14b처럼 짧은 수직 프레임 블랭크(VFB\$) 기간으로 줄인다. 이렇게 하면, 60Hz 모드가 50Hz 모드에 적용되는 경우 광중심이 일치하게 되어 플리커를 제거시킬 수 있어서 휘도를 향상 시킬 수 있다. 여기서, 제 2 기간(n12)은 도 12에 나타난 바와같이 APL에 따라 유지되는 기간이 달라지게 된다.

<73> 선택적 소거 서브필드의 리셋기간(RPD)은 생략된다. 선택적 소거 서브필드의 어드레스 기간(APD)에는 스캔전극라인들(Y)과 어드레스전극라인들(X) 각각에 셀을 끄기 위한 부극성(-)의 선택적 소거 스캔펄스(SESP)와 정극성(+)의 선택적 소거 데이터 펄스(SEDp)가 상호 동기되게끔 공급된다. 이 선택적 소거 스캔펄스(SESP)는 부극성(-)의 스캔기준전압(V_w)보다 높은 부극성(-)의 선택적 소거용 스캔전압(V_e)까지 하강한다. 이 때, 어드레스 기간(APD)동안 마지막 스캔펄스(SWSP)가 인가된 후 스캔전압(V_{sc})이 계속 유지되는 기간인 도 13의 제 3 기간(n13)을 APL에 따라 가변적으로 변화시킴으로써 각 서브필드의 어드레스 기간(APD)을 늘려서 도 14a

처럼 긴 수직 프레임 블랭크(VFB*) 기간을 도 14b처럼 짧은 수직 프레임 블랭크(VFB\$) 기간으로 줄인다. 이렇게 하면, 60Hz 모드가 50Hz 모드에 적용되는 경우 광중심이 일치하게 되어 플리커를 제거시킬 수 있어서 휙도를 향상 시킬 수 있다. 여기서, 제 3 기간(n13)은 도 12에 나타난 바와같이 APL에 따라 유지되는 기간이 달라지게 된다.

<74> 선택적 소거 서브필드의 어드레스 방전에 의해 꺼지지 않은 셀들에 대하여 서스테인 방전이 일어나도록 서스테인펄스(SUSPy, SUSPz)가 스캔전극라인들(Y)과 서스테인전극라인들(Z)에 교번적으로 공급된다. 이 때, 서스테인 기간(SPD)동안 마지막 서스테인 펄스(SUSPy)가 공급된 후 다음 서브필드가 시작되기 전까지의 기간인 도 13 제 4 기간(n14)을 APL에 따라 가변적으로 변화시킴으로써 각 서브필드의 서스테인 기간(SPD)을 늘려서 도 14a처럼 긴 수직 프레임 블랭크(VFB*) 기간을 도 14b처럼 짧은 수직 프레임 블랭크(VFB\$) 기간으로 줄인다. 즉, 각 서브필드의 서스테인 기간(SPD)을 변화시킴으로써 도 14b에서처럼 휙도가 표현되는 기간은 동일하게 설정된다. 이렇게 하면, 60Hz 모드가 50Hz 모드에 적용되는 경우 광중심이 일치하게 되어 플리커를 제거시킬 수 있어서 휙도를 향상 시킬 수 있다. 여기서, 제 4 기간(n14)은 도 12에 나타난 바와같이 APL에 따라 유지되는 기간이 달라지게 된다.

<75> 이 때, 제 1 내지 제 4 기간(n1 내지 n4) 중 하나 이상의 기간을 가변적으로 변화시켜서 광중심을 일치시킬 수 있다.

【발명의 효과】

<76> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널의 구동방법은 오방전이 발생되지 않도록 벽전하를 변화시키지 않고 유지시킬 수 있는 마지막 스캔펄스 이후의 기간 또는

각 서브필드 사이의 기간을 APL에 따라 제어함으로써 플리커를 제거하여 화질을 향상시킬 수 있다.

<77> 또한, 두 개 이상의 서스테인 필스 배치를 수직 동기 신호 마다 교변하여 사용해서 표현력을 증가시키는 방식을 사용할 때 발생하는 플리커와 50Hz 모드를 사용할 때 발생하는 플리커를 제거하여 화질을 향상시킬 수 있다.

<78> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

제 1회도가증치를 가지는 n (n 은 홀수) 번째 프레임과 상기 제 1회도가증치와 상이한 회도가증치를 가지는 $n+1$ 번째 프레임에 의하여 소정의 영상이 표시되는 플라즈마 디스플레이 패널의 구동방법에 있어서,

수직동기신호 기간동안 상기 n 번째 프레임 및 상기 $n+1$ 번째 프레임에서 회도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 n 번째 프레임 및 $n+1$ 번째 프레임 중 적어도 어느 하나의 프레임 기간이 가변적으로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 2】

제 1 항에 있어서,

상기 n 번째 프레임 및 $n+1$ 번째 프레임은 각각

방전셀에 균일한 벽전하를 형성시키기 위한 초기화기간과,

상기 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과,

상기 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법

【청구항 3】

제 2 항에 있어서,

상기 n 번째 프레임 및 $n+1$ 번째 프레임 중 적어도 하나의 프레임은,

상기 어드레스 기간과 서스테인 기간 사이에 위치되어 상기 어드레스 기간에 형성된 벽 전하가 유지하는 제 1 기간과,

상기 서스테인 기간과 다음 서브필드의 사이에 위치되어 상기 서스테인 기간에 형성된 벽 전하가 유지되는 제 2 기간을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 4】

제 3 항에 있어서,

상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간 중 어느 한 기간이 가변적으로 변화되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

제 3 항에 있어서,

상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간이 가변적으로 변화되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 6】

제 5 항에 있어서,

상기 제 1 및 제 2 기간은 에이피엘(APL)에 따라 상이하게 되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 7】

제 6 항에 있어서,

상기 에이피엘(APL)이 낮으면 상기 제 1 및 제 2 기간이 짧아지게 되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 8】

제 6 항에 있어서,

상기 에이피엘(APL)이 높으면 상기 제 1 및 제 2 기간이 길어지게 되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 9】

60Hz 모드로 구동되는 프레임과 50Hz 모드로 구동되는 프레임에 의하여 소정의 영상이 표시되는 PDP의 구동방법에 있어서,

수직동기신호 기간동안 상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임에서 회도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 60Hz 모드 및 50Hz 모드 중 적어도 어느 하나의 프레임 기간이 가변적으로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 10】

제 9 항에 있어서,

상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임은 각각 방전셀에 균일한 벽전하를 형성시키기 위한 초기화기간과,

상기 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과,

상기 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법

【청구항 11】

제 10 항에 있어서,

상기 60Hz 모드로 구동되는 프레임 및 50Hz 모드로 구동되는 프레임 중 적어도 하나의 프레임은,

상기 어드레스 기간과 서스테인 기간 사이에 위치되어 상기 어드레스 기간에 형성된 벽 전하가 유지하는 제 1 기간과,

상기 서스테인 기간과 다음 서브필드의 사이에 위치되어 상기 서스테인 기간에 형성된 벽 전하가 유지되는 제 2 기간을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 12】

제 11 항에 있어서,

상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간 중 어느 한 기간이 가변적으로 변화되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 13】

제 11 항에 있어서,

상기 휘도가 표현되는 기간이 동일하게 설정될 수 있도록 상기 제 1 및 제 2 기간이 가변적으로 변화되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 14】

제 13 항에 있어서,

상기 제 1 및 제 2 기간은 에이피엘(APL)에 따라 상이하게 되는 것을 특징으로 하는 폴라즈마 디스플레이 패널의 구동방법.

【청구항 15】

제 14 항에 있어서,

상기 에이피엘(APL)이 낮으면 상기 제 1 및 제 2 기간이 짧아지게 되는 것을 특징으로 하는 폴라즈마 디스플레이 패널의 구동방법.

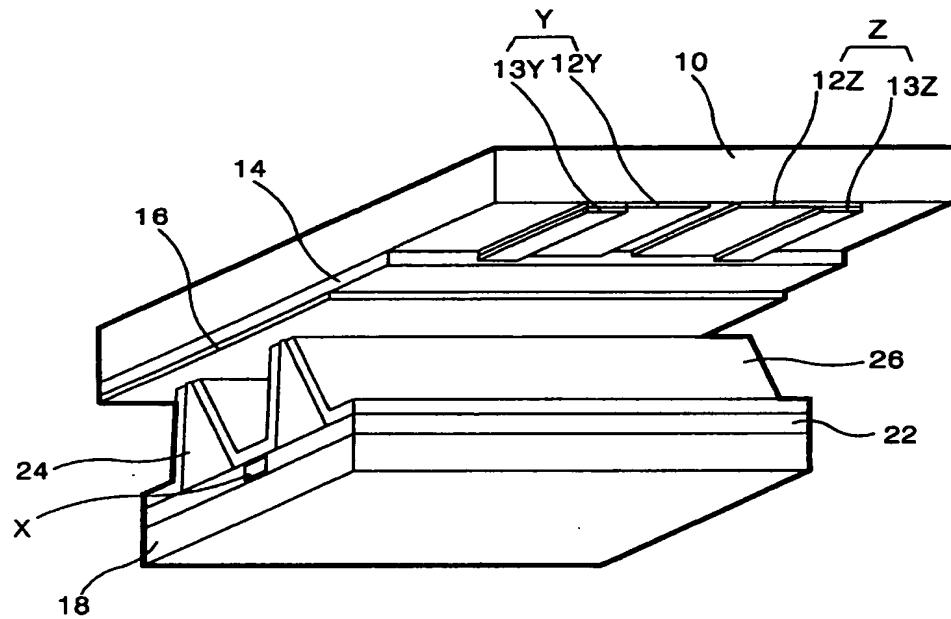
【청구항 16】

제 14 항에 있어서,

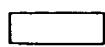
상기 에이피엘(APL)이 높으면 상기 제 1 및 제 2 기간이 길어지게 되는 것을 특징으로 하는 폴라즈마 디스플레이 패널의 구동방법.

【도면】

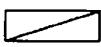
【도 1】



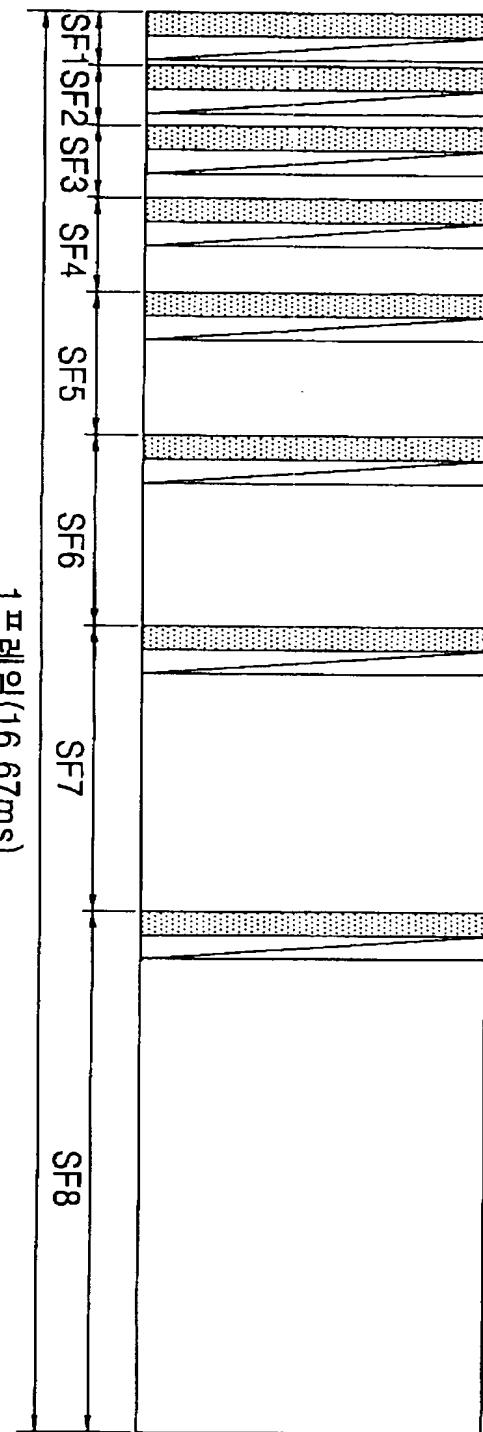
【도 2】



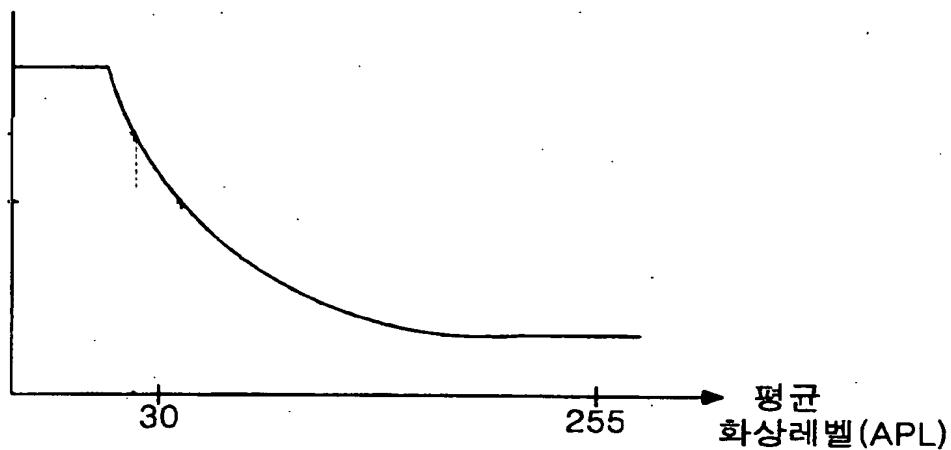
리셋 기간



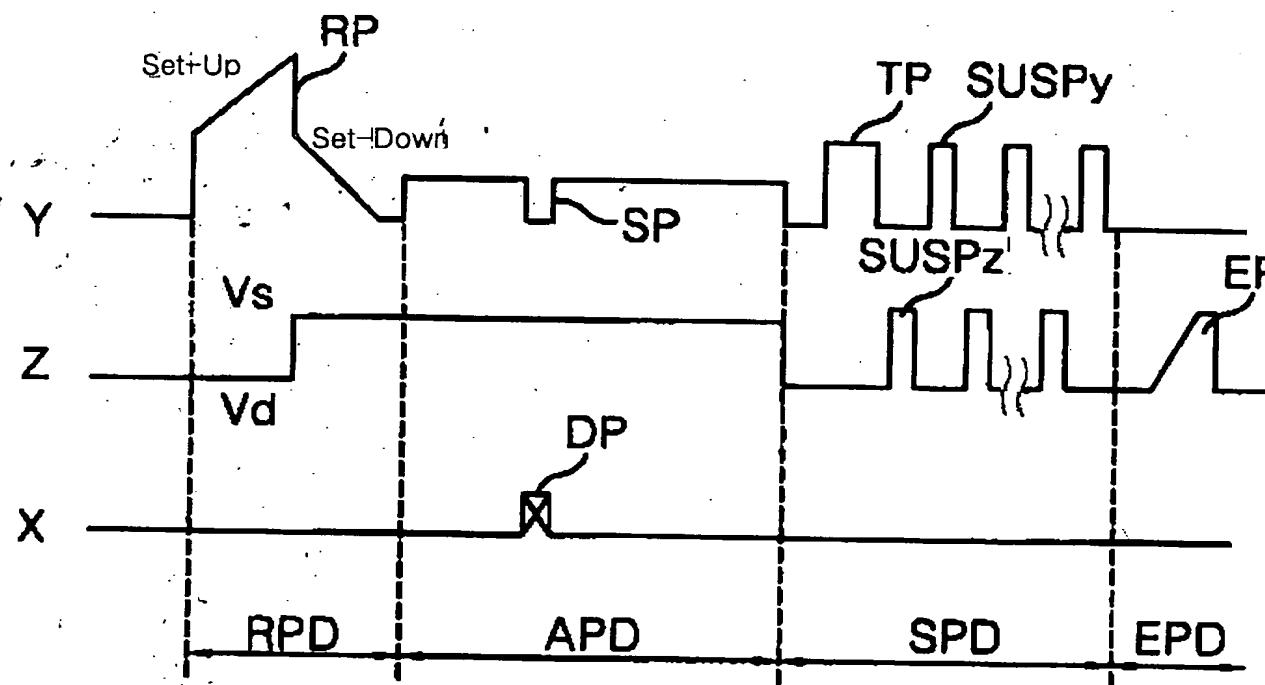
어드레스 기간



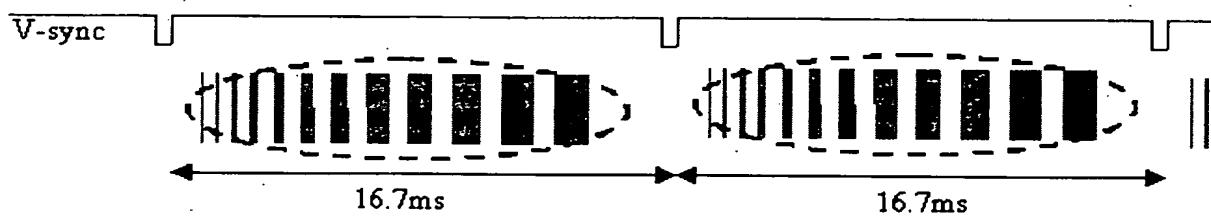
【도 3】

서스테인
갯수

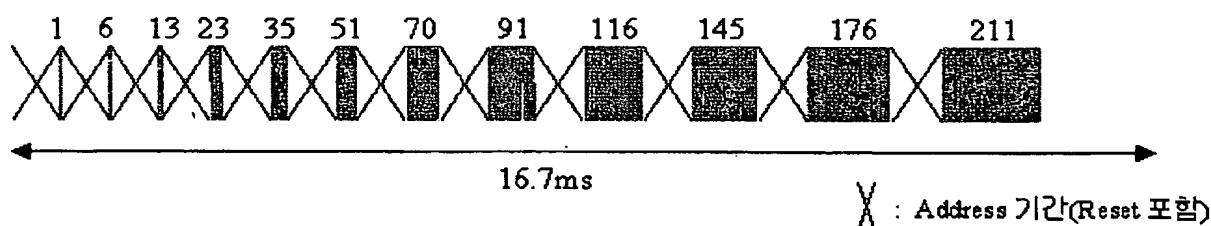
【도 4】



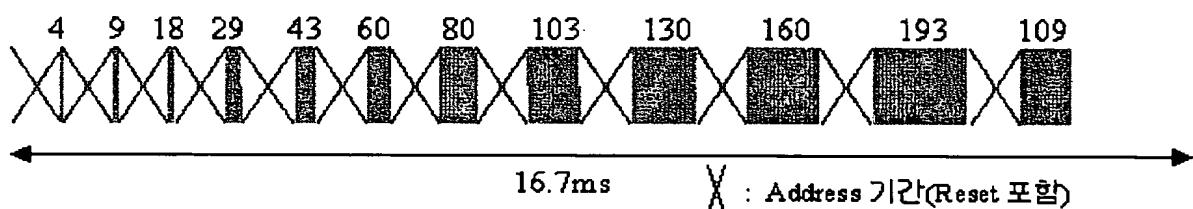
【도 5】



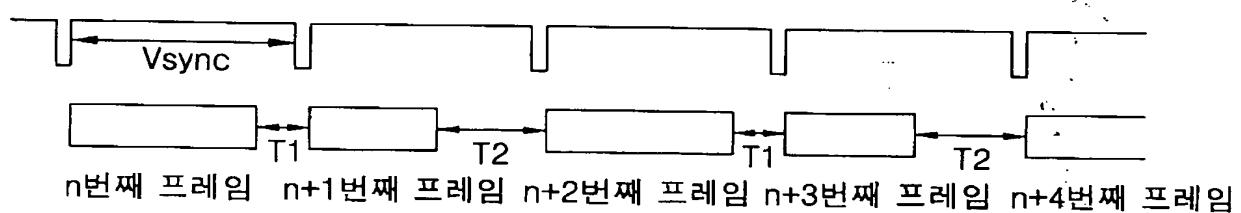
【도 6a】



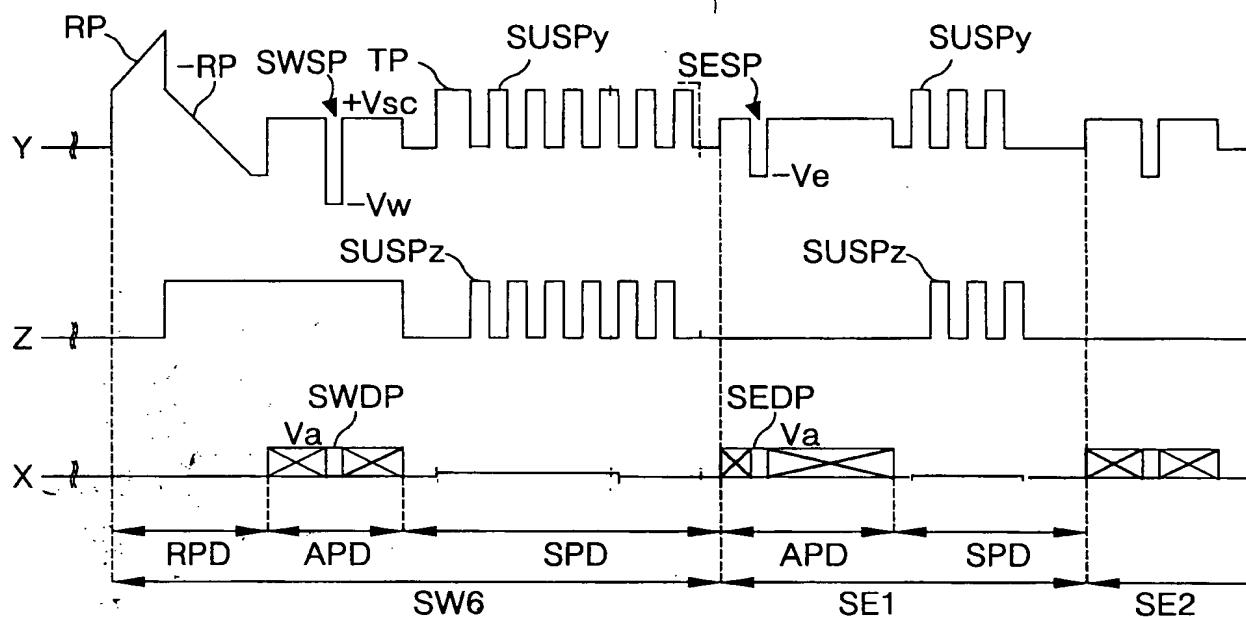
【도 6b】



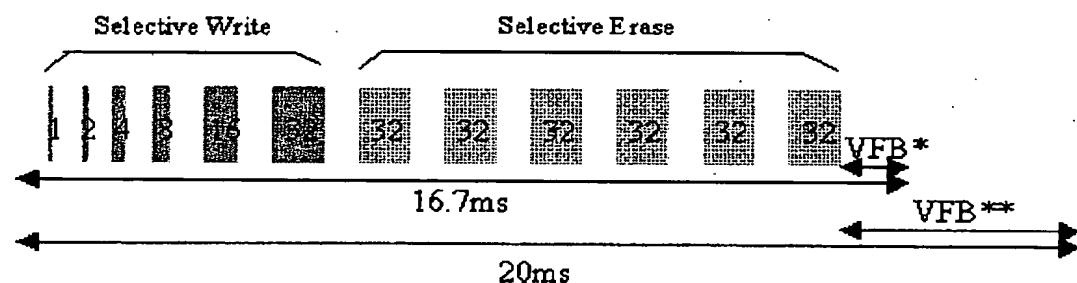
【도 6c】



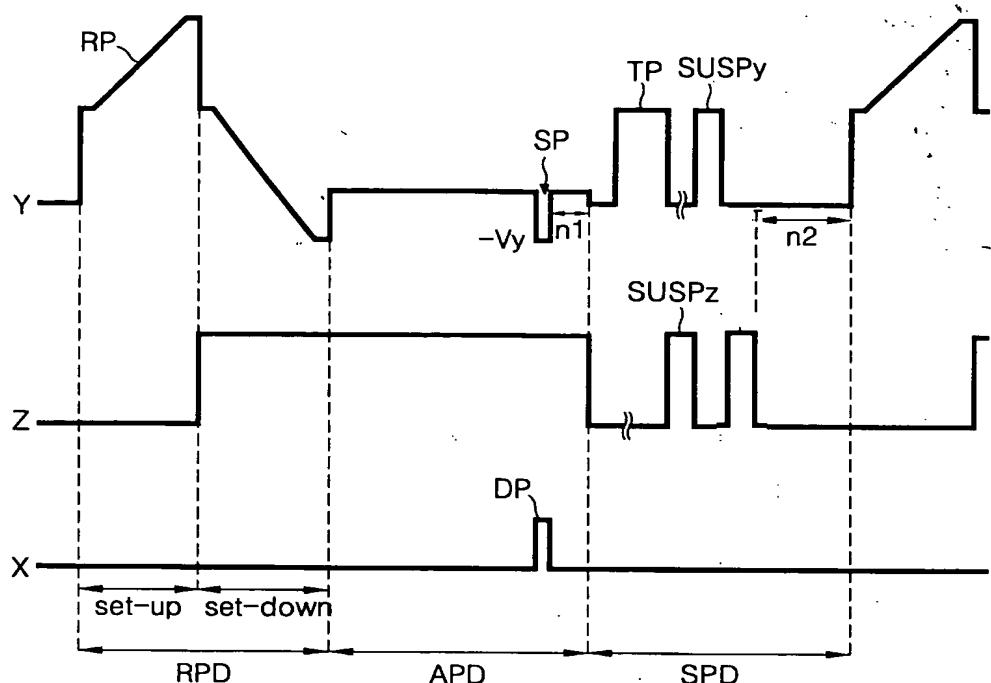
【도 7】



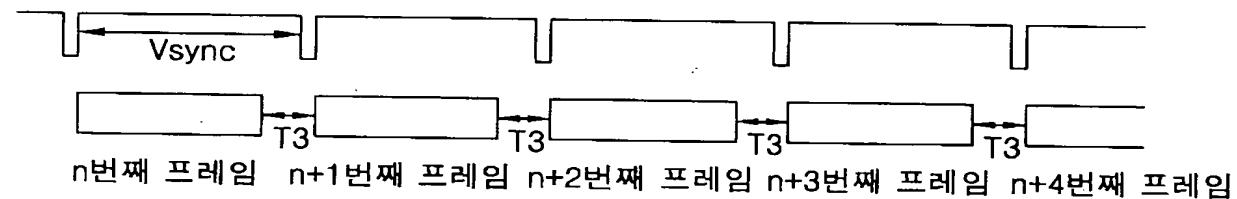
【도 8】



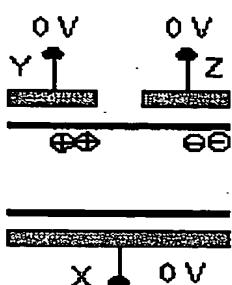
【도 9】



【도 10】



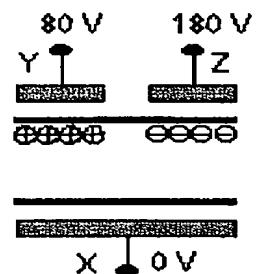
【도 11a】



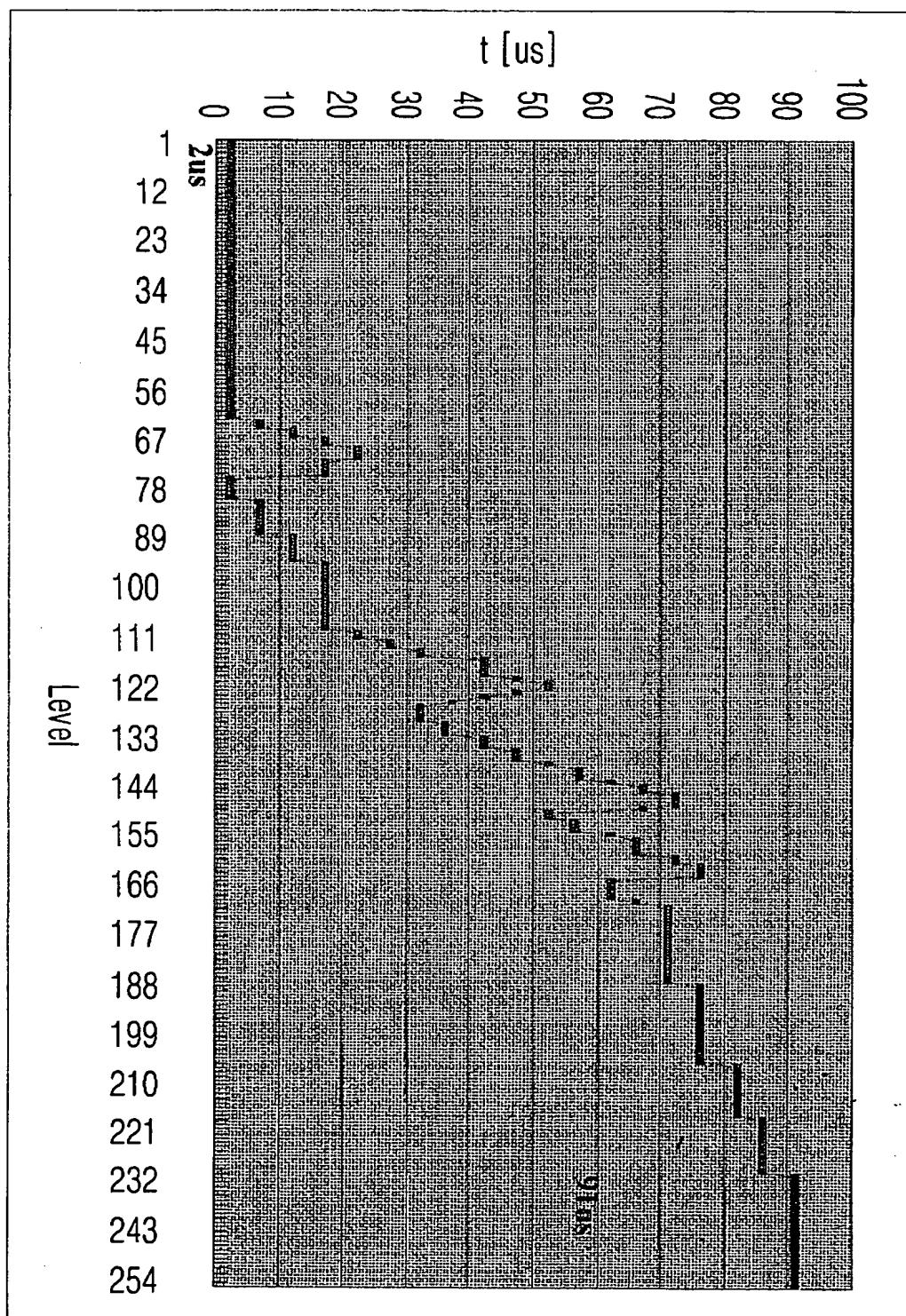
1020030015175

출력 일자: 2004/3/5

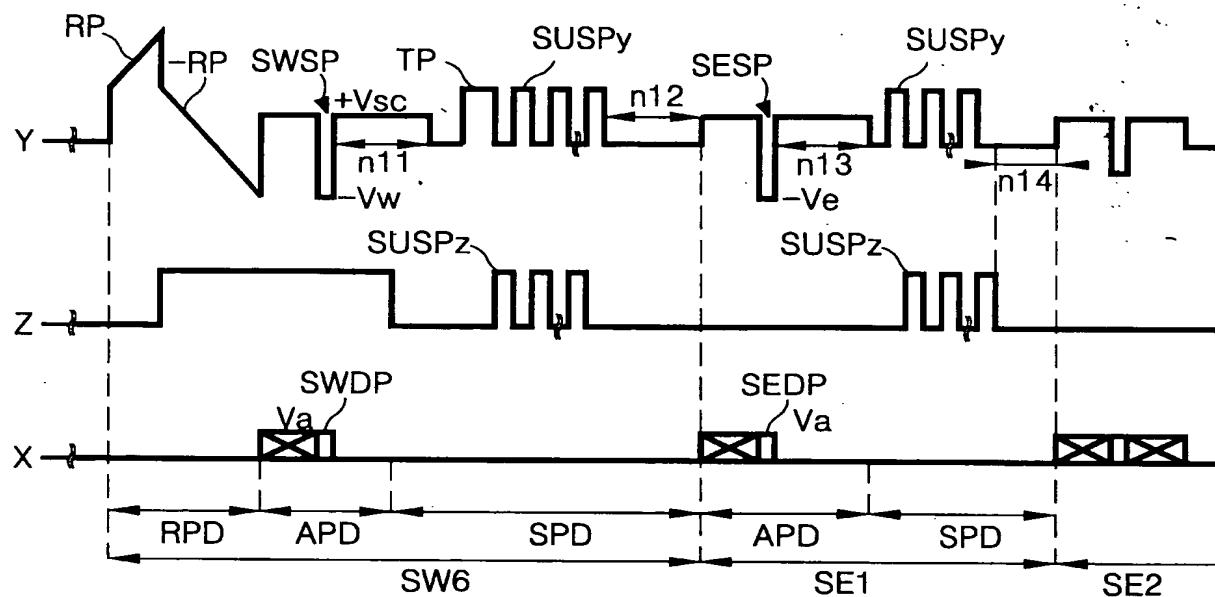
【도 11b】



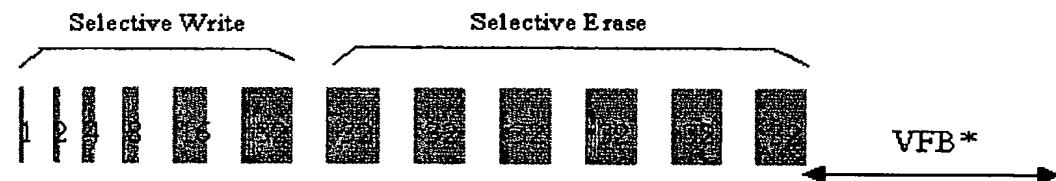
【도 12】



【도 13】



【도 14a】



【도 14b】

